

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Hiroyuki SHIMADA

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

FILED: HEREWITH

EXAMINER: Not Yet Assigned

FOR: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

CERTIFICATE OF EXPRESS MAILING (Label No.: EV 438990115 US)

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on March 26, 2004 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

By: Kathryn A. Grindrod
Kathryn A. Grindrod

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPIES

Sir:

Attached please find two certified copies of the foreign application from which priority is claimed for this case:

Country: JAPAN
Application No.: 2003-091332
Filing Date: 28 March 2003

Country: JAPAN
Application No. 2003-277404
Filing Date: 22 July 2003

Respectfully submitted,

Date: March 26, 2004
Customer No.: 21874


John J. Penny (Reg. No. 36,984)
EDWARDS & ANGELL, LLP
P.O. Box 55874
Boston, MA 02205
Tel: (617) 517-5549
Fax (617) 439-4170

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

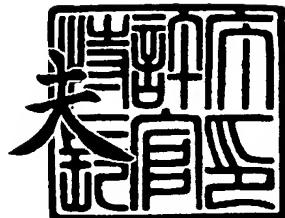
出願番号 特願2003-091332
Application Number:
[ST. 10/C] : [JP2003-091332]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 J0099413
【提出日】 平成15年 3月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/088
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 島田 浩行
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅誉
【連絡先】 0266-52-3528
【選任した代理人】
【識別番号】 100107076
【弁理士】
【氏名又は名称】 藤綱 英吉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体層と、

前記半導体層の上方に形成されたゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素原子の元素比率は5%以下である、半導体装置。

【請求項2】 半導体層と、

前記半導体層の上方に形成されたゲート絶縁層であって、界面反応層を有するゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、

を含み、

前記ゲート絶縁層に含まれる酸素原子の元素比率は5%以下である、半導体装置。

【請求項3】 請求項1または2において、

前記ゲート絶縁層は窒化シリコン層である、半導体装置。

【請求項4】 請求項1または2において、

前記ゲート絶縁層は、プラズマ反応により前記半導体層に直接作用させて形成された窒化シリコン層である、半導体装置。

【請求項5】 請求項1～4のいずれかにおいて、

前記ゲート電極は、窒化タンタル層を含む、半導体装置。

【請求項6】 請求項1～4のいずれかにおいて、

前記ゲート電極は、スパッタリング法により形成された窒化タンタル層を含む、半導体装置。

【請求項7】 a) 半導体層を有する基板を準備する工程と、

b) 前記基板を第1処理室に搬送する工程と、

c) 前記第1処理室内において、前記半導体層の上方にゲート絶縁層となる物質を形成する工程と、

- d) 前記基板を前記第1処理室から第2処理室へと搬送する工程と、
- e) 前記第2処理室内において、前記ゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含み、

前記c工程における前記第1処理室と、前記d工程における前記搬送経路と、前記e工程における前記第2処理室とは、酸素分圧が10ppm以下の雰囲気に保たれている、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

半導体装置およびその製造方法に関する。特に、ゲート絶縁層およびその製造方法に関する。

【0002】

【従来の技術】

ゲート絶縁層を極限まで薄膜化した微細MOS型トランジスタは、チャネル部により多くのキャリアを誘起することができるため、非常に高い駆動能力が期待できる。しかしながら、ゲート絶縁層の薄膜化が進むにつれ、ゲート電極と半導体層との間に多大な直接トンネリング電流が流れ、半導体装置の消費電力が非常に大きくなる問題点があった。そのため、ゲート絶縁層として従来用いられている酸化シリコン層よりも誘電率の大きな物質をゲート絶縁層に採用して、物理膜厚を大きくすることで直接トンネリング電流を低減する試みが多くの試みられている。

【0003】

【特許文献1】

特開2002-76336号公報

【特許文献2】

特開2000-252462号公報

【0004】

【発明が解決しようとする課題】

絶縁物質であってかつ酸化シリコン層よりも誘電率が大きい物質の多くは、酸

化ハフニウム等の金属酸化物である。しかしながら、酸化ハフニウム等の金属酸化物は、ゲート絶縁層と半導体層との界面、あるいは、ゲート絶縁層とゲート電極との界面に、酸素原子の遊離に起因する低誘電率界面反応層を生じてしまう問題があった。

【0005】

そこで、ゲート絶縁層に絶縁性のある金属窒化層を採用することが考えられている。しかしながら、従来の金属窒化層の形成法では酸素原子の混入を十分制御できているとはいはず、全体の誘電率は低下してしまう問題があった。また、従来の製造方法では酸素原子の混入を防止することも容易ではなかった。

【0006】

【課題を解決するための手段】

本発明の半導体装置は、

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、

前記ゲート絶縁層に含まれる酸素原子の元素比率は5%以下である。

【0007】

本発明によれば、半導体装置のゲート絶縁層は該ゲート絶縁層に含まれる酸素原子の元素比率は5%以下に制御されている。その結果、高絶縁性かつ高誘電率なゲート絶縁層を提供できる。

【0008】

また本発明の半導体装置は、

半導体層と、

前記半導体層の上方に形成されたゲート絶縁層であって、界面反応層を有するゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、

を含み、

前記ゲート絶縁層に含まれる酸素原子の元素比率は5%以下である。

【0009】

本発明によれば、半導体装置のゲート絶縁層は、界面反応層を含め、該ゲート絶縁層に含まれる酸素原子の元素比率は5%以下に制御されている。その結果、高絶縁性かつ高誘電率なゲート絶縁層を提供できる。

【0010】

本発明の半導体装置の製造方法は、

- a) 半導体層を有する基板を準備する工程と、
- b) 前記基板を第1処理室に搬送する工程と、
- c) 前記第1処理室内において、前記半導体層の上方にゲート絶縁層となる物質を形成する工程と、
- d) 前記基板を前記第1処理室から第2処理室へと搬送する工程と、
- e) 前記第2処理室内において、前記ゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含み、

前記c工程における前記第1処理室と、前記d工程における前記搬送経路と、前記e工程における前記第2処理室とは、酸素分圧が10ppm以下の雰囲気に保たれている。

【0011】

本発明によれば、ゲート絶縁層への酸素原子の混入を制御し、ゲート絶縁層の誘電率の低下を防止することができる。

【0012】

【発明の実施の形態】

本発明の実施の形態について以下に説明する。

【0013】

本発明の半導体装置は以下の工程を経ることにより実現できる。まず支持基板と絶縁層と半導体層とが順に形成されたSOI (Silicon On Insulator) 基板を準備する。半導体層はシリコン層であって、その膜厚は約30nm程度である。SOI基板の半導体層は、ドライエッチング法により、MOS型トランジスタなどの素子形成領域ごとに島状に分離される。

【0014】

次に、処理室（プラズマチャンバー）にSOI基板を搬送する。続いて、プラ

ズマチャンバー内にアンモニアを含んだガスが導入され、該ガスと半導体層との直接プラズマ反応により、半導体層の上方にゲート絶縁層となる窒化シリコン層を形成する。こうして形成された窒化シリコン層は、不純物が少なく、均一性が良い。窒化シリコン層の膜厚は3.5 nmである。

【0015】

次に、処理室（スパッタリングチャンバー）にSOI基板を搬送し、窒化シリコン層の上方に、金属ゲート電極となる物質を形成する。

【0016】

本実施の形態では、窒化タンタル層と α -タンタル層と窒化タンタル層とが順に堆積された積層膜を形成する。ボトム窒化タンタル層の膜厚は30 nmである。 α -タンタル層は体心立方格子相からなる結晶構造を有し、その膜厚は100 nmである。トップ窒化タンタル層はキャップ層であり、その膜厚は30 nmである。窒化タンタルは、ゲート空乏化を起こさない点で、従来の多結晶シリコンゲートに比べ有利である。また、窒化タンタルは、酸素を含んだ界面反応層を生じにくい点でも有利である。

【0017】

トップ窒化タンタル層と α -タンタル層とボトム窒化タンタル層とは、スパッタリング法により順次形成される。スパッタリング法を採用することにより、不純物の混入を少なくすることができる。

【0018】

上記の方法で形成された金属ゲート電極は低抵抗となり、そのシート抵抗は約20 hm/ \square である。

【0019】

本実施の形態では、ゲート絶縁層となる物質を形成するための処理室と、金属ゲート電極となる物質を形成するための処理室との間は、センタークラスター チャンバーを介して結合されている。重要なことは、上記プラズマチャンバーと上記スパッタリングチャンバーと両チャンバー間を搬送する系路とが、全て、酸素分圧10 ppm以下の雰囲気に保たれていることである。すなわち、ゲート絶縁層となる物質を形成する工程と、ゲート電極となる物質を形成する工程と、およ

び、これら2つの工程間を搬送する工程とにおいて、基板は酸素分圧が10ppmを超えた雰囲気に曝されない。

【0020】

仮に、ゲート絶縁層への酸素原子の混入を制御しなかった場合、換言すればゲート絶縁層を形成した後に大気に暴露してしまうと、水分等の吸着により、ゲート絶縁層中に大量の酸素原子を混入し、等価比誘電率値が6.8以下に低下してしまう。(図1参照：大気暴露した場合のシリコン窒化膜の組成分析結果)

一方、本実施の形態においては、ゲート絶縁層への酸素原子の混入を制御している。当該方法により形成されたゲート絶縁層(シリコン窒化層)の酸素原子含有率は、5%以下に制御されている。また、基板の処理工程において、シリコン窒化層とシリコン層との間に形成される界面反応層と、シリコン窒化層と窒化タンタル層との間に形成される界面反応層と、のいずれか一方、あるいは、両方とが形成されてしまうことを考慮すると、ゲート絶縁層(シリコン窒化層)の酸素原子含有率は、界面反応層も含め、5%以下に制御されていることが好ましい。さらに、酸素原子含有比率が3%以下に制御されることがさらに好ましい。

【0021】

このようにして、ゲート絶縁層の等価比誘電率値は7.0以上を維持することができ、安定でより駆動能力の高いMOS型半導体装置を提供することができる。

【0022】

なお、プラズマダメージを低減するために、ゲート絶縁層となる物質の形成には、低電子温度が可能な2.54GHz高密度プラズマ法を用いる。また、金属ゲート電極となる物質のスパッタリングに使用する希ガスには、アルゴンガスの代わりにキセノンガスを採用し、低界面順位密度を実現している。

【0023】

次に、金属積層膜をフォトリソグラフィー法によりパターニングし金属ゲート電極を形成する。金属積層膜のパターニングには、NF₃とSiCl₄の混合ガスを使用した高選択なドライエッチング法を用いる。これにより、金属積層膜はゲート長65nmの金属ゲート電極に加工される。

【0024】

さらに、ゲート電極をマスクとして半導体層内に不純物を注入し、該半導体層内にソース／ドレイン領域のエクステンション領域を形成する。その後、サイドウォール絶縁層として高密度CVD法を採用した500°C以下の低温形成のシリコン塗化層がゲート電極の側壁に形成される。サイドウォール絶縁層の幅は50nmである。次に、ゲート電極とサイドウォール絶縁層とをマスクとして半導体層内に不純物を注入し、該半導体層内にソース／ドレイン領域を形成する。その後、低温CVD法（LTO）により層間絶縁層が厚さ800nmで形成される。その後、550°C以下の固相エピタキシー法（SPE）により各不純物を活性化させる。

【0025】

以降の工程は、従来のCMOS型トランジスタの形成方法と同様な方法が用いられ、MOS型半導体装置が完成する。

【0026】

以上、本発明の実施の形態について述べたが、本発明は、上述の実施の形態に限定されず、本発明の要旨の範囲内で変形が可能である。例えば、本実施の形態において、半導体層には、支持基板上に絶縁層を介して形成された半導体層を採用したが、バルク基板を半導体層として扱っても良い。

【0027】

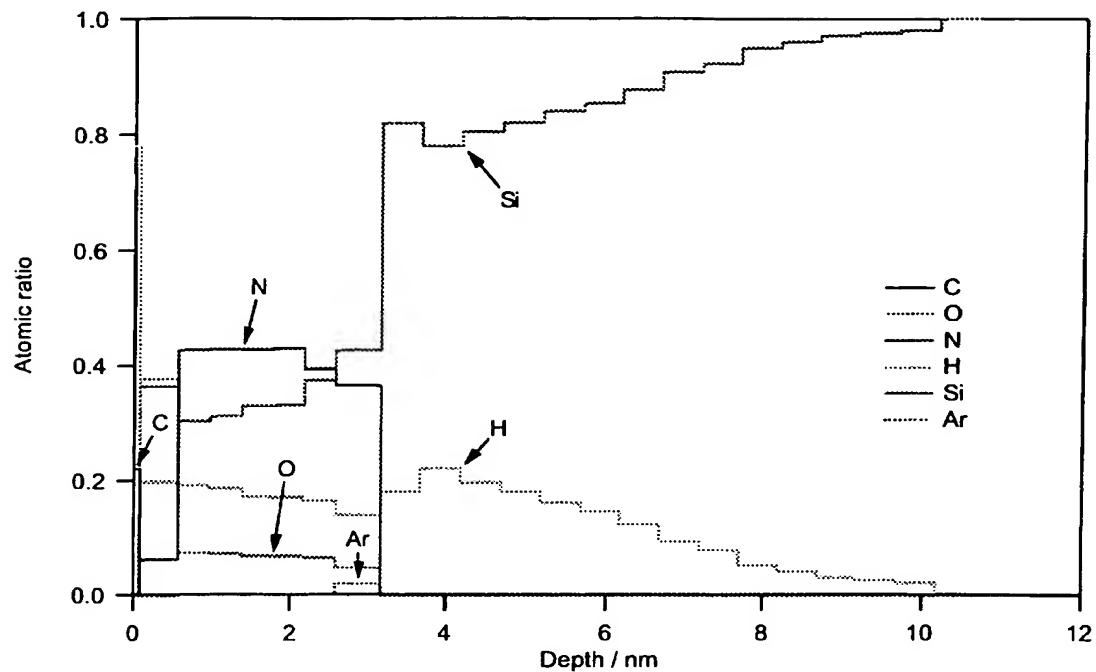
また、本実施の形態では採用しなかったが、サリサイド構造やダマシングート構造も適用可能である。

【図面の簡単な説明】

【図1】 大気暴露した場合のシリコン塗化層の組成分析結果（RBS）

【書類名】 図面

【図1】



【書類名】 要約書

【要約】

【課題】 半導体装置のゲート絶縁層に関する。ゲート絶縁層への酸素原子の混入を制御し、ゲート絶縁層の誘電率の低下を防止する。

【解決手段】 半導体層を有する基板を準備する工程と、前記基板を第1処理室に搬送する工程と、前記第1処理室内において前記半導体層の上方にゲート絶縁層となる物質を形成する工程と、前記基板を前記第1処理室から第2処理室へと搬送する工程と、前記第2処理室内において前記ゲート絶縁層の上方にゲート電極となる物質を形成する工程と、をこの順序で含み、前記第1処理室と、前記搬送経路と、前記第2処理室とは、酸素分圧が10ppm以下の雰囲気に保ち、基板を処理する。

【選択図】 図1

特願 2003-091332

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社